

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-077414

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

H01L 21/3205

H01L 21/316

(21)Application number : 10-248769

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 02.09.1998

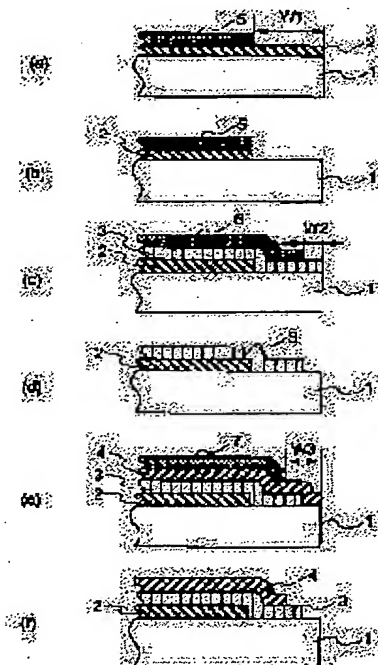
(72)Inventor : ISHIZAWA MICHIKO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the generation of particles due to the peeling of the end part of a wafer in a peripheral exposure of the outer periphery of the wafer, in the photo process of the manufacture of a semiconductor device having a multilayer wiring structure.

SOLUTION: This method is a semiconductor device with a manufacturing method such that a peripheral exposed width W1 of a first wiring layer 2 and the peripheral exposed width W3 of a second wiring layer 4 are formed wider than a peripheral exposed width W2 of an inter-wiring layer insulating film oxide film 3. By setting the relation between the width W1 and the width W2 and the relation between the width W3 and the width W2 on the conditions to be $W1 > W2$ and $W3 > W2$, the effect at etching of the layer 4 can be stopped as the end part of the layer 2 on the outer periphery of a wafer, is covered with the film 3, and the peeling of the end part of the layer 2 on the outer periphery of the wafer, can be eliminated.



LEGAL STATUS

[Date of request for examination]

10.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than withdrawal the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

22.03.2004

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-77414
(P2000-77414A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/3205
21/316

H 0 1 L 21/88
21/316

Z 5 F 0 3 3
P 5 F 0 5 8

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平10-248769

(22) 出願日 平成10年9月2日 (1998.9.2)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 石澤 路子

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

Fターム(参考) 5F033 AA04 AA09 BA12 BA41
5F058 BA10 BH10 BJ02 BJ04

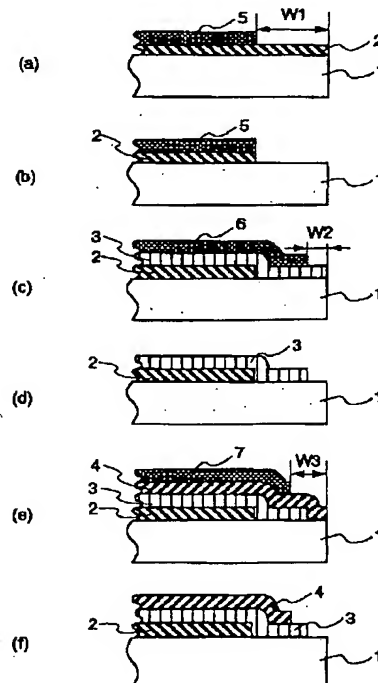
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 多層配線構造を有する半導体装置の製造工程のフォトリソ工程で行う、ウエハ外周の周辺露光において、配線層のウエハ外周端部の剥がれによるパーティクル発生を防止する。

【解決手段】 第一配線層の周辺露光幅W1と、第二配線層の周辺露光幅W3を、配線層間絶縁膜酸化膜の周辺露光幅W2よりも大きくした事を特徴とする半導体装置製造方法である。

【効果】 W1>W2、W3>W2とすることで、第一配線層のウエハ外周端部は配線層間絶縁膜に覆われるので、第二配線層のエッチング時の影響を遮断でき、第一配線層のウエハ外周端部の剥がれを無くす事ができる。



【特許請求の範囲】

【請求項1】多層配線構造を有する半導体装置の製造工程のフォト工程で行う、ウエハ外周の周辺露光において、ウエハ外周端からの露光距離を、配線層では配線層間絶縁膜の周辺露光幅よりも大きくする事を特徴とする半導体装置の製造方法。

【請求項2】請求項1において、周辺露光を配線層間絶縁膜について行わないことを特徴とした半導体装置製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン基盤上に配線を多層に有する半導体装置のウエハ外周部における多層配線構造の製造方法に関するものであり、フォト工程で行うウエハ外周の周辺露光に関するものである。

【0002】

【従来の技術】ウエハ外周部のパーティクル低減のために、フォト工程で行うウエハ外周部への周辺露光方法は、一般的に全ての層を同じ周辺露光幅（ここでいう周辺露光幅とはウエハ外周端からの露光距離を指す）で行う方法の他に、より効果的な方法として最下層から順に周辺露光幅を大きくして階段状に各層を形成するという方法が特開平08-031710号公報に記載されている。以下、図5(a)～(f)、図6(a)～(f)を用いて従来の周辺露光方法を説明する。

【0003】図5(a)～(f)は従来の多層配線構造を有する半導体装置のウエハ外周部の製造方法の一例で、全ての層の周辺露光幅が同じ場合のAL二層配線工程での実施例を示す工程断面図である。

【0004】図5(a)：酸化膜を形成したシリコン基盤(1)に第一配線層(2)をスパッタし、第一配線層用レジスト(5)を塗布し、周辺露光をW1の周辺露光幅で行い、第一配線層用パターンを露光、現像する。

【0005】図5(b)：第一配線層用レジスト(5)をマスクとして第一配線層(2)を選択エッチングする。

【0006】図5(c)：第一配線層用レジスト(5)を剥離し、次に配線層間絶縁膜(3)を堆積させ、配線層間絶縁膜用レジスト(6)を塗布し、周辺露光をW2の周辺露光幅で行い、配線層間絶縁膜用パターンを露光、現像する。

【0007】図5(d)：配線層間絶縁膜用レジスト(6)をマスクとして配線層間絶縁膜(3)を選択エッチングし、配線層間絶縁膜用レジスト(6)を剥離する。

【0008】図5(e)：第二配線層(4)をスパッタし、第二配線層用レジスト(7)を塗布し、周辺露光をW3の周辺露光幅で行い、第二配線層用パターンを露光、現像する。

【0009】図5(f)：第二配線層用レジスト(7)をマスクとして第二配線層(4)を選択エッチングし、第二配線層用レジスト(7)を剥離する。

【0010】この場合、周辺露光幅は第一配線層、配線層間絶縁膜、第二配線層の全ての工程で同じ $W1=W2=W3$ である。

【0011】図6(a)～(f)は従来の多層配線構造を有する半導体装置のウエハ外周部の製造方法のもう一つの例で、周辺露光幅を上層程大きくしたAL二層配線工程での実施例を示す工程断面図である。

【0012】図6(a)：酸化膜を形成したシリコン基盤(1)に第一配線層(2)をスパッタし、第一配線層用レジスト(5)を塗布し、周辺露光をW1の周辺露光幅で行い、第一配線層用パターンを露光、現像する。

【0013】図6(b)：第一配線層用レジスト(5)をマスクとして第一配線層(2)を選択エッチングする。

【0014】図6(c)：第一配線層用レジスト(5)を剥離し、次に配線層間絶縁膜(3)を堆積させ、配線層間絶縁膜用レジスト(6)を塗布し、周辺露光をW2の周辺露光幅で行い、配線層間絶縁膜用パターンを露光、現像する。

【0015】図6(d)：配線層間絶縁膜用レジスト(6)をマスクとして配線層間絶縁膜(3)を選択エッチングし、配線層間絶縁膜用レジスト(6)を剥離する。

【0016】図6(e)：第二配線層(4)をスパッタし、第二配線層用レジスト(7)を塗布し、周辺露光をW3の周辺露光幅で行い、第二配線層用パターンを露光、現像する。

【0017】図6(f)：第二配線層用レジスト(7)をマスクとして第二配線層(4)を選択エッチングし、第二配線層用レジスト(7)を剥離する。

【0018】この場合は、周辺露光幅を上層程大きくし、 $W1 < W2 < W3$ としている。そのため、第一配線層は配線層間絶縁膜や第二配線層よりもウエハ外周にはみ出す。

【0019】

【発明が解決しようとする課題】周辺露光を行ったウエハ外周では、配線端部の形状が不安定で剥がれやすい傾向になるが、特にALのような同種金属の多層配線の場合、下の配線層（第一配線層）の端部が上の配線層（第二配線層）や配線層間絶縁膜（第一線層間膜）よりもウエハ外周にはみだしてしまうと、上の配線層（第二配線層）のエッチング工程で、下の配線層のはみ出した配線端部も影響されて、一部が剥がれてパーティクルとなり、WF内に飛び散って、パターンショートをはきおこしてしまう。全ての層の周辺露光幅が同じでも、露光幅の微妙なずれや、不安定な部分が重なる事により、配線の端部の一部が剥がれてパーティクルとなり、同様な問題を免れない。

【0020】

【課題を解決するための手段】本発明の請求項1記載の半導体装置製造方法は、フォト工程で行う周辺露光において、周辺露光幅を配線層では配線層間絶縁膜の周辺露

3

光幅よりも大きくする事を特徴とする半導体装置製造方法である。

【0021】この発明によれば、配線層の周辺露光幅が配線層間絶縁膜の周辺露光幅よりも大きいので、下の配線層のウエハ外周端部を配線層間絶縁膜で完全に覆うので、上の配線層のエッチングの影響を下の配線層のウエハ外周端部に及ぼす事を完全に防止でき、下の配線層のパターンが飛び散って、WF内でパターンショートを引き起こす危険を無くする事が可能である。

【0022】また、本発明の請求項2記載の半導体装置製造方法は、請求項目1記載の半導体装置製造方法において、周辺露光を配線層間絶縁膜について行わないことを特徴とした半導体装置製造方法である。

【0023】この発明によれば、配線層間絶縁膜の周辺露光を廃止したので、下の配線層のウエハ外周端部を配線層間絶縁膜で完全に覆う事になり、パターンショート無くする事が可能な上、工程も短縮できる。工程短縮は、二層配線層の場合、周辺露光1工程削減、三層配線層の場合、周辺露光2工程の削減となり、多層になる程削減効果は大きくなる。

【0024】

【発明の実施の形態】図1(a)～(f)は請求項1記載の発明に係る多層配線構造を有する半導体装置のウエハ外周部の製造方法の一例で、AL二層配線工程での実施例を示す工程断面図である。以下、図1(a)～(f)を用いて本発明の製造方法を詳説する。

【0025】図1(a)：酸化膜を形成したシリコン基盤(1)に第一配線層(2)をスパッタし、第一配線層用レジスト(5)を塗布し、周辺露光をW1の周辺露光幅で行い、第一配線層用パターンを露光、現像する。

【0026】図1(b)：第一配線層用レジスト(5)をマスクとして第一配線層(2)を選択エッチングする。

【0027】図1(c)：第一配線層用レジスト(5)を剥離し、次に配線層間絶縁膜(3)を堆積させ、配線層間絶縁膜用レジスト(6)を塗布し、周辺露光をW2の周辺露光幅で行い、配線層間絶縁膜用パターンを露光、現像する。

【0028】図1(d)：配線層間絶縁膜用レジスト(6)をマスクとして配線層間絶縁膜(3)を選択エッチングし、配線層間絶縁膜用レジスト(6)を剥離する。

【0029】図1(e)：第二配線層(4)をスパッタし、第二配線層用レジスト(7)を塗布し、周辺露光をW3の周辺露光幅で行い、第二配線層用パターンを露光、現像する。

【0030】図1(f)：第二配線層用レジスト(7)をマスクとして第二配線層(4)を選択エッチングし、第二配線層用レジスト(7)を剥離する。

【0031】配線層の周辺露光幅を配線層間絶縁膜よりも大きくし、 $W1 > W2$ 、 $W3 > W2$ とする事により、第一配線層のウエハ外周端部は配線層間絶縁膜により覆われるこ

4

とになり、第二配線層のエッチング時の影響は遮断されるので、パーティクルの発生を無くする事ができる。

【0032】図2(g)～(j)は請求項1記載の発明に係る多層配線構造を有する半導体装置のウエハ外周部の製造方法の一例で、AL三層配線工程での実施例を示す工程断面図である。以下、図2(g)～(j)を用いて本発明の製造方法を詳説する。

【0033】図2(g)：前述本発明によるAL二層配線工程での製造方法で形成したAL二層配線の上に第二配線層間絶縁膜(8)を堆積させ、第二配線層間絶縁膜用レジスト(10)を塗布し、周辺露光をW4の周辺露光幅で行い、第二配線層間絶縁膜用パターンを露光、現像する。

【0034】図2(h)：第二配線層間絶縁膜用レジスト(10)をマスクとして第二の配線層間絶縁膜(8)を選択エッチングし、第二の配線層間絶縁膜用レジスト(10)を剥離する。

【0035】図2(i)：第三配線層(9)をスパッタし、第三配線層用レジスト(11)を塗布し、周辺露光をW5の周辺露光幅で行い、第三配線層用パターンを露光、現像する。

【0036】図2(j)：第三配線層用レジスト(11)をマスクとして第二配線層(9)を選択エッチングし、第三配線層用レジスト(11)を剥離する。

【0037】この場合も、配線層間絶縁膜の周辺露光幅を配線層よりも大きくし、第二配線層間絶縁膜の周辺露光幅を第二配線層、第三配線層よりも小さくし、 $W3 > W4$ 、 $W5 > W4$ とする事により、第二配線層のウエハ外周端部は第二配線層間絶縁膜により覆われることになり、第三配線層のエッチング時の影響は遮断されるので、パーティクルの発生は無くする事ができる。

【0038】図3(a)～(e)は請求項2記載の発明に係る多層配線構造を有する半導体装置のウエハ外周部の形成方法の一例で、AL二層配線工程での実施例を示す工程断面図である。以下、図3(a)～(e)を用いて本発明の製造方法を詳説する。

【0039】図3(a)：酸化膜を形成したシリコン基盤(1)に第一配線層(2)をスパッタし、第一配線層用レジスト(5)を塗布し、周辺露光をW1の周辺露光幅で行い、第一配線層用パターンを露光、現像する。

【0040】図3(b)：第一配線層のレジスト(5)をマスクとして第一配線層(2)を選択エッチングする。

【0041】図3(c)：第一配線層用レジスト(5)を剥離し、次に配線層間絶縁膜(3)を堆積させ、配線層間絶縁膜用レジスト(6)を塗布し、配線層間絶縁膜用パターンを露光、現像し、配線層間絶縁膜用レジスト(6)をマスクとして配線層間絶縁膜(3)を選択エッチングし、配線層間絶縁膜用レジスト(6)を剥離する。

【0042】図3(d)：第二配線層(4)をスパッタし、第二配線層用レジスト(7)を塗布し、周辺露光をW3の周辺露光幅で行い、第二配線層用パターンを露光、

50

5

現像する。

【0043】図3(e)：第二配線層用レジスト(7)をマスクとして第二配線層(4)を選択エッチングし、第二配線層用レジスト(7)を剥離する。

【0044】本実施例では、配線層間絶縁膜の周辺露光をしないため、請求項1の場合同様、第一配線層のウエハ外周端部は配線層間絶縁膜により覆われることになり、第二配線層のエッチング時の影響は遮断されるので、パーティクルの発生は無くなる。また、本実施例によれば、配線層間絶縁膜の周辺露光を行わないため、工程削減が可能となる。

【0045】図4(f)～(i)は請求項2記載の発明に係る多層配線構造を有する半導体装置のウエハ外周部の製造方法の一例で、AL三層配線工程での実施例を示す工程断面図である。以下、図4(f)～(i)を用いて本発明の製造方法を詳説する。

【0046】図4(f)：前述請求項2記載の本発明によるAL二層配線工程での製造方法で形成したAL二層配線の上に、第二配線層間絶縁膜(8)を堆積させ、第二配線層間絶縁膜用レジスト(10)を塗布し、第二の配線層間絶縁膜用パターンを露光、現像する。

【0047】図4(g)：第二配線層間絶縁膜用レジスト(10)をマスクとして第二配線層間絶縁膜(8)を選択エッチングし、第二配線層間絶縁膜レジスト(10)を剥離する。

【0048】図4(h)：第三配線層(9)をスパッタし、第三配線層用レジスト(11)を塗布し、周辺露光をW5の周辺露光幅で行い、第三配線層用パターン露光、現像をする。

【0049】図4(i)：第三配線層用レジスト(11)をマスクとして第二配線層(9)を選択エッチングし、第三配線層用レジスト(11)を剥離する。

【0050】本実施例でも、配線層間絶縁膜の周辺露光をしないため、前述の請求項2のAL二層の場合同様、第二配線層のウエハ外周端部は第二配線層間絶縁膜により覆われることになり、第三配線層のエッチング時の影響は遮断されるので、パーティクルの発生は無くなる。また、AL三層の場合は、第一配線層間絶縁膜と第二配線層間絶縁膜の2工程の周辺露光を行わないため、工程の削減効果としては、AL二層の場合の2倍となる。

【0051】以上の実施例では、AL二層配線、AL三層配線の場合で説明してきたが、四層配線、五層配線となり、より多層化した場合でも、配線層の周辺露光幅を配線層間絶縁膜の周辺露光幅よりも大きくすることにより、ウエハ外周部における配線パターン端部から発生するパーティクルは無くすることができる。

【0052】

【発明の効果】本発明の半導体装置製造方法は、従来の周辺露光工程で発生するキラー欠陥を無くするものであ

6

り、半導体装置製造工程での不良率を低減し、歩留り向上に欠かせないものである。

【0053】また近年の技術革新により、半導体装置への軽薄短小、機能の複雑化の要求は益々高くなっており、AL等同質の金属を多層に配線する必要性が大きくなるが、配線層間絶縁膜の周辺露光を無くする本発明請求項2の半導体装置製造方法では、多層になる程、工程削減の効果が大きくなるものであり、時代の要求に答えるものである。

【図面の簡単な説明】

【図1】本発明の請求項1に記載の発明に係る多層配線構造を有する半導体装置のウエハ外周部の製造方法の一例で、AL二層配線工程での実施例を示す工程断面図である。

【図2】本発明の請求項1に記載の発明に係る多層配線構造を有する半導体装置のウエハ外周部の製造方法の一例で、AL三層配線工程での実施例を示す工程断面図。

【図3】本発明の請求項2に記載の発明に係る多層配線構造を有する半導体装置のウエハ外周部の製造方法の一例で、AL二層配線工程での実施例を示す工程断面図。

【図4】本発明の請求項2に記載の発明に係る多層配線構造を有する半導体装置のウエハ外周部の製造方法の一例で、AL三層配線工程での実施例を示す工程断面図。

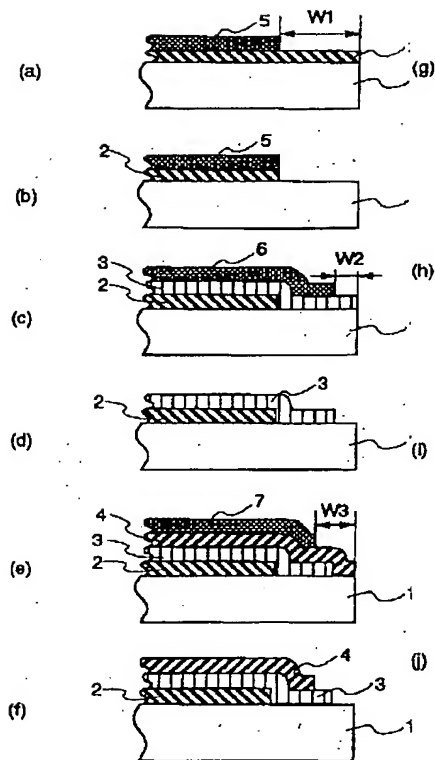
【図5】従来の半導体装置製造方法で、多層配線構造を有する半導体装置のウエハ外周部の製造方法の一例で、AL二層配線工程での一実施例を示す工程断面図。

【図6】従来の半導体装置製造方法で、多層配線構造を有する半導体装置のウエハ外周部の製造方法の一例で、AL二層配線工程でのもう一つの実施例を示す工程断面図。

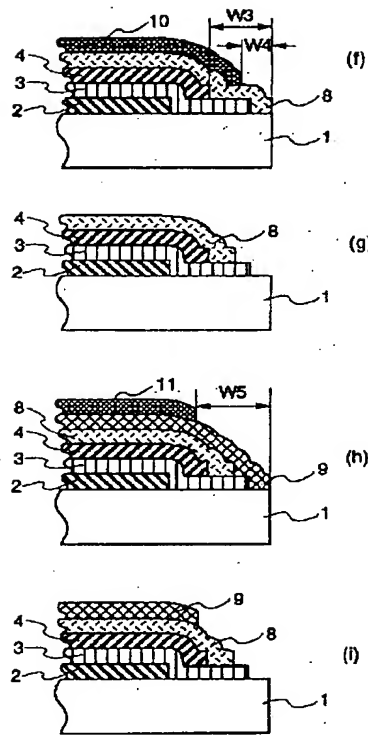
【符号の説明】

- 1：酸化膜が形成されたシリコン基板
- 2：第一配線層
- 3：配線層間絶縁膜（第一配線層間絶縁膜）
- 4：第二配線層
- 5：第一配線層用フォトレジスト
- 6：配線層間絶縁膜（第一配線層間絶縁膜）用フォトレジスト
- 7：第二配線層用フォトレジスト
- 8：第二配線層間絶縁膜
- 9：第三配線層
- 10：第二配線層間絶縁膜用フォトレジスト
- 11：第三配線層用フォトレジスト
- W1：第一配線層用フォトレジストの周辺露光幅
- W2：配線層間絶縁膜（第一配線層間絶縁膜）用フォトレジストの周辺露光幅
- W3：第二配線層用フォトレジストの周辺露光幅
- W4：第二配線層間絶縁膜用フォトレジストの周辺露光幅
- W5：第三配線層用フォトレジストの周辺露光幅

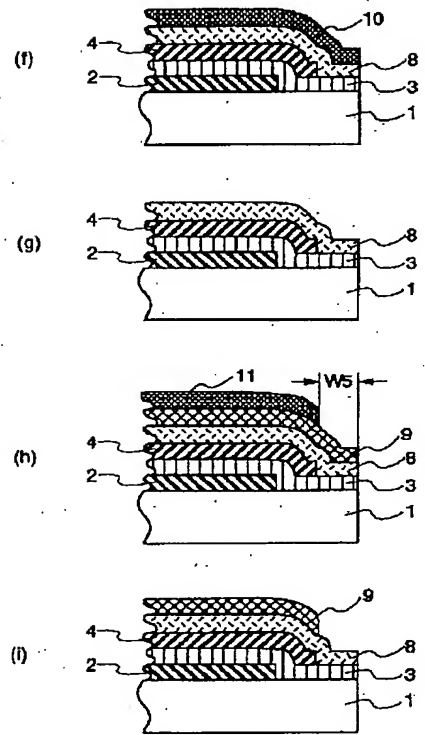
【図 1】



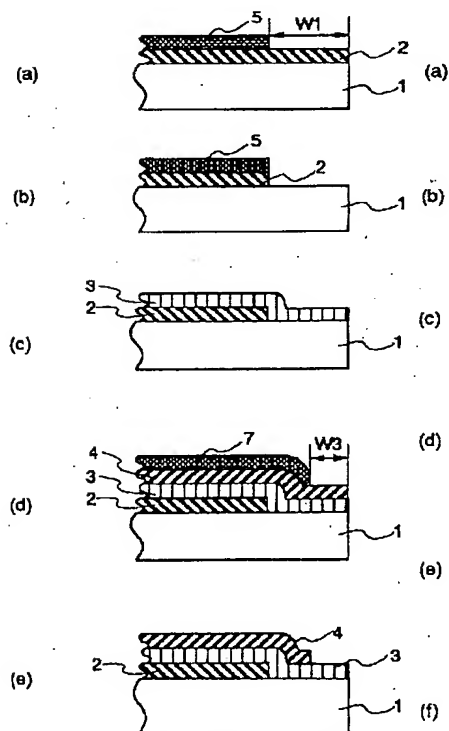
【図 2】



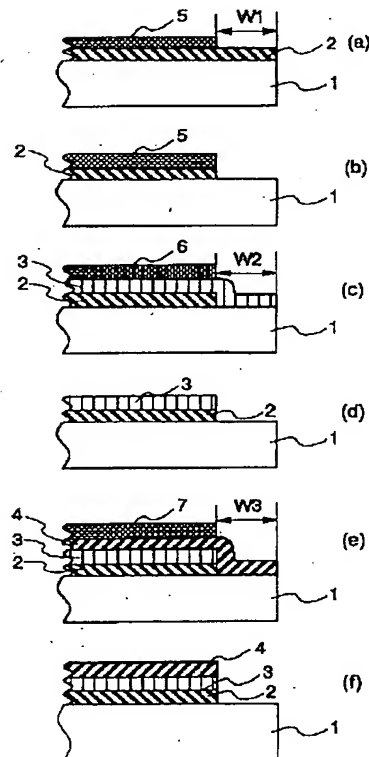
【図 4】



【図 3】



【図 5】



【図 6】

